

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181219

(43)Date of publication of application : 12.07.1996

(51)Int.CI.

H01L 21/8238
H01L 27/092
H01L 27/04
H01L 21/822
H01L 29/786

(21)Application number : 06-318401

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 21.12.1994

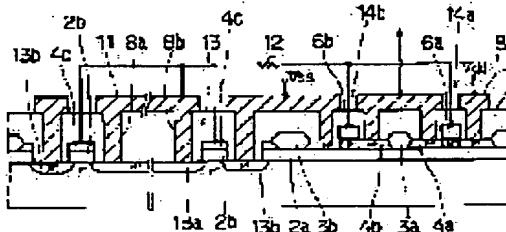
(72)Inventor : SAKAKIBARA JUN
TSURUTA KAZUHIRO
HIMI KEIMEI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the area of a chip in a semiconductor integrated circuit device with a protective circuit element.

CONSTITUTION: A P-channel MOSFET 14a and an N-channel MOSFET 14b as semiconductor integrated circuit elements are constituted in SOI structure, and an N-channel MOSFET 13 as a protective circuit element configuring the protective circuit of the MOSFETs 14a and 14b is formed on a semiconductor substrate while the drain region 13a of the MOSFET 13 is formed to the lower section of the input pads 11 of the semiconductor integrated circuit elements.



LEGAL STATUS

[Date of request for examination] 22.03.2001

[Date of sending the examiner's decision of rejection] 12.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-181219

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F 1

技術表示箇所

H 01 L 21/8238

27/092

27/04

H 01 L 27/08

3 2 1 H

27/04

H

審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21)出願番号

特願平6-318401

(22)出願日

平成6年(1994)12月21日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 楢原 純

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 鶴田 和弘

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 氷見 啓明

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

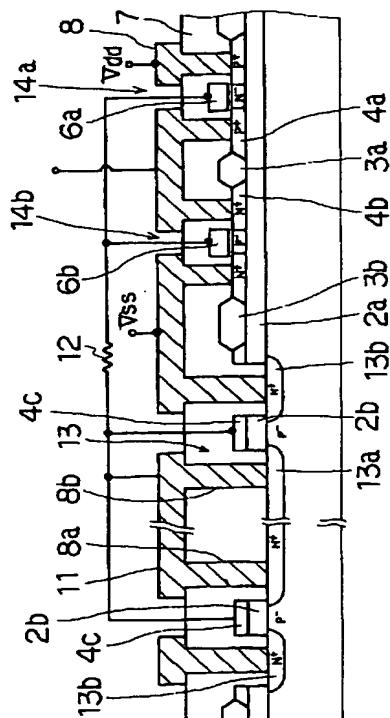
(74)代理人 弁理士 伊藤 洋二

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 保護回路素子を有する半導体集積回路装置において、チップ面積の縮小化を図る。

【構成】 半導体集積回路素子をなすPチャネルMOSFET 14aとNチャネルMOSFET 14bをSOI構造にて構成し、その保護回路を構成する保護回路素子としてのNチャネルMOSFET 13を半導体基板1に形成するとともに、そのドレイン領域13aを、半導体集積回路素子の入力パッド11下部に形成するようにした。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された半導体集積回路素子と、
前記半導体基板上の前記半導体集積回路素子と異なる領域に形成され、前記半導体集積回路素子と電気接続される入力パッドと、
前記半導体集積回路素子と前記入力パッドとの間で電気的に接続され、前記半導体集積回路素子を保護する保護回路素子とを備えた半導体集積回路装置において、
前記保護回路素子は、前記入力パッド下部の前記半導体基板上に形成されていることを特徴とする半導体集積回路装置。

【請求項2】 半導体基板上に形成された半導体集積回路素子と、
前記半導体集積回路素子と電気接続される入力パッドと、
前記半導体集積回路素子と異なる領域に形成され、前記半導体集積回路素子と前記入力パッドとの間で電気的に接続されて、前記半導体集積回路素子を保護する保護回路素子とを備えた半導体集積回路装置において、
前記保護回路素子のうち前記半導体集積回路素子と電気的に接続される部分の上部に前記入力パッドが形成されていることを特徴とする半導体集積回路装置。

【請求項3】 前記半導体集積回路素子は、前記半導体基板上に絶縁体層を介し、かつ周囲が絶縁体により分離された島状の半導体層に形成されていることを特徴とする請求項1又は2に記載の半導体集積回路装置。

【請求項4】 前記保護回路素子は前記半導体基板に形成されて前記半導体基板に電流経路を形成することを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記保護回路素子はMOSFETであって、前記入力パッドと前記MOSFETのドレン領域とが電気的に接続されているものであって、前記ドレン領域と前記入力パッドがオーバーラップして形成していることを特徴とする請求項1乃至4のいずれか1つに記載の半導体集積回路装置。

【請求項6】 前記保護回路素子はMOSFETであって、そのチャネル領域、ソース領域およびドレン領域が前記半導体基板に形成され、前記チャネル領域は前記入力パッドの周囲に形成されていることを特徴とする請求項1乃至4のいずれか1つに記載の半導体集積回路装置。

【請求項7】 前記入力パッドと前記半導体集積回路素子との間に保護抵抗が接続されており、前記保護回路素子は保護ダイオードであって、この保護ダイオードと前記保護抵抗とが前記入力パッドとオーバーラップして前記半導体基板上に形成されていることを特徴とする請求項1又は2に記載の半導体集積回路装置。

【請求項8】 半導体基板上に絶縁体層を介し、かつ周囲が絶縁体により分離された島状の半導体層と、

この半導体層に形成された半導体集積回路素子と、
前記半導体基板に形成され、前記半導体集積回路素子を保護する保護回路素子とを備え、
前記保護回路素子は、前記半導体基板にソース領域、ドレン領域が形成されたMOSFETであって、このMOSFETのゲート絶縁膜が前記絶縁体層と同一平面上に形成されており、
前記MOSFETのドレン領域の上部に前記半導体集積回路の入力パッドが形成され、この入力パッドと前記ドレン領域とが金属電極にて電気的に接続されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、静電気等の過大電流に対する保護機能を備えた半導体集積回路装置に関するものである。

【0002】

【従来の技術】 半導体集積回路装置において、外部からの静電気等の過大電流で内部素子が破壊するのを防止するため、内部回路と外部接続端子（入力パッド）の間に耐静電破壊素子で構成される保護回路が配置され、耐静電破壊素子内に形成されたPN接合のダイオード特性を用いて過大電流が内部素子に印加されないようにしている。

【0003】 この保護回路を備えた半導体集積回路装置の入力回路部の構成の一例を図3に示す。図3において、半導体集積回路装置における内部回路には、半導体集積回路素子としてのNチャネルMOSFET（以下、NMOSという）14bとPチャネルMOSFET（以下、PMOSという）14aとで構成されるインバータが用いられている。PMOS14aのソース電極には電源端子15が接続され、NMOS14bのソース電極には接地端子16が接続されている。

【0004】 インバータの入力端子と外部接続端子である入力パッド11との間には、保護回路素子としての保護NMOS13と保護抵抗12とから構成される保護回路が設けられている。すなわち、入力パッド11とインバータの入力端子とを結ぶ接続線の途中に保護抵抗12が配置され、接続線と接地端子16との間に保護NMOS13が配置され、さらに保護NMOS13のゲート端子は接地端子16に接続されている。

【0005】 上記の構成により、入力パッド11に負極性の過電圧が印加された場合には、保護NMOS13がオン状態となって電流が流れ、過電圧を放散させて内部回路を保護する。一方、正極性の過電圧が印加された場合には保護NMOS13内のPN接合のアバランシェブレークダウンによって電流が流れ、過電圧を放散させて内部回路を保護する。

【0006】 このような保護回路を用いた半導体集積回路装置として、特開平4-345064号公報に示すも

のある。このものはSOI (Silicon On Insulator) 構造基板に半導体集積回路素子が形成されたものであり、その構成を図9に示す。図9において、半導体(Si)基板1上に埋め込みシリコン酸化膜(絶縁体層)2aが形成され、その上に周囲がフィールド酸化膜3a、3bにて絶縁分離された単結晶の半導体層(以下、SOI層という)4a、4bが形成されている。そして、これらのSOI層4a、4bに、ソース、ドレイン領域が形成されるとともに、ゲート絶縁膜、多結晶Siゲート電極6a、6bが形成されて、NMOS14bおよびPMOS14aが構成される。

【0007】また、半導体基板1の他の領域には、保護NMOS13が形成されている。この保護NMOS13は、ソース領域13b、ドレイン領域13aを有するとともに、上記絶縁体層2aと同一工程で形成された絶縁体層2bをゲート絶縁膜とし、上記単結晶のSOI層4a、4bと同一工程で形成された半導体層4cをゲート電極として構成されたものである。

【0008】さらに、層間絶縁膜7およびA1電極8が形成されて、図3に示す回路を構成している。

【0009】

【発明が解決しようとする課題】上記のような構成の場合、保護回路素子である保護NMOS13は、図10に示すように、入力パッド11や内部回路とは異なる領域に形成されている。従って、保護NMOS13の占有分だけチップ面積が大きくなってしまう。本発明は上記問題に鑑みたもので、保護回路素子を有する半導体集積回路装置において、チップ面積の縮小化を図ることを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明においては、半導体基板(1)上に形成された半導体集積回路素子(14a、14b)と、前記半導体基板上の前記半導体集積回路素子と異なる領域に形成され、前記半導体集積回路素子と電気接続される入力パッド(11)と、前記半導体集積回路素子と前記入力パッドとの間で電気的に接続され、前記半導体集積回路素子を保護する保護回路素子(13、17)とを備えた半導体集積回路装置において、前記保護回路素子は、前記入力パッド下部の前記半導体基板上に形成されていることを特徴としている。

【0011】請求項2に記載の発明においては、半導体基板(1)上に形成された半導体集積回路素子(14a、14b)と、前記半導体集積回路素子と電気接続される入力パッド(11)と、前記半導体集積回路素子と異なる領域に形成され、前記半導体集積回路素子と前記入力パッドとの間で電気的に接続されて、前記半導体集積回路素子を保護する保護回路素子(13、17)とを備えた半導体集積回路装置において、前記保護回路素子のうち前記半導体集積回路素子と電気的に接続される部

分(13a、17a)の上部に前記入力パッドが形成されていることを特徴としている。

【0012】請求項3に記載の発明では、請求項1又は2に記載の発明において、前記半導体集積回路素子は、前記半導体基板上に絶縁体層(2a)を介し、かつ周囲が絶縁体(3a、3b)により分離された島状の半導体層(4a、4b)に形成されていることを特徴としている。請求項4に記載の発明では、請求項3に記載の発明において、前記保護回路素子は前記半導体基板に形成されて前記半導体基板に電流経路を形成することを特徴としている。

【0013】請求項5に記載の発明では、請求項1乃至4のいずれか1つに記載の発明において、前記保護回路素子はMOSFETであって、前記入力パッドと前記MOSFETのドレイン領域(13a)とが電気的に接続されているものであって、前記ドレイン領域と前記入力パッドがオーバーラップして形成されていることを特徴としている。

【0014】請求項6に記載の発明では、請求項1乃至4のいずれか1つに記載の発明において、前記保護回路素子はMOSFETであって、そのチャネル領域、ソース領域(13b)およびドレイン領域(13a)が前記半導体基板に形成され、前記チャネル領域は前記入力パッドの周囲に形成されていることを特徴としている。請求項7に記載の発明では、請求項1又は2に記載の発明において、前記入力パッドと前記半導体集積回路素子との間に保護抵抗(12)が接続されており、前記保護回路素子は保護ダイオード(17)であって、この保護ダイオードと前記保護抵抗とが前記入力パッドとオーバーラップして前記半導体基板上に形成されていることを特徴としている。

【0015】請求項8に記載の発明においては、半導体基板(1)上に絶縁体層(2a)を介し、かつ周囲が絶縁体(3a、3b)により分離された島状の半導体層(4a、4b)と、この半導体層に形成された半導体集積回路素子(14a、14b)と、前記半導体基板に形成され、前記半導体集積回路素子を保護する保護回路素子(13)とを備え、前記保護回路素子は、前記半導体基板にソース領域(13b)、ドレイン領域(13a)が形成されたMOSFETであって、このMOSFETのゲート絶縁膜(2b)が前記絶縁体層と同一平面上に形成されており、前記MOSFETのドレイン領域の上部に前記半導体集積回路の入力パッド(11)が形成され、この入力パッドと前記ドレイン領域とが金属電極(8a、8b)にて電気的に接続されていることを特徴としている。

【0016】なお、上記各手段のカッコ内の符号は、後述する実施例記載の具体的手段との対応関係を示すものである。

【0017】

【発明の作用効果】請求項1乃至8に記載の発明によれば、半導体集積回路素子を保護する保護回路素子と、半導体集積回路素子と電気接続される入力パッドとをオーバーラップする構成としている。従って、そのオーバーラップによりチップ面積を小さくすることができる。

【0018】また、請求項4、8に記載の発明のように、半導体集積回路素子をSOI構造にて形成し、保護回路素子を半導体基板に形成して半導体基板に電流経路を形成することにより、過大電流を逃がす経路を十分確保でき、保護回路素子による破壊耐性を向上させることができる。また、請求項6に記載の発明によれば、入力パッドの周囲にチャネル領域を形成することによりMOSFETのチャネル幅を大きくすることができ、従って、過大電流を放散しやすくすることができる。

【0019】

【実施例】以下、本発明を図に示す実施例について説明する。

(第1実施例)図1は本実施例にかかる半導体集積回路装置の断面図、図2はA1パッド11と保護NMOS13のレイアウトを示す平面図である。

【0020】なお、図1中の構成要素で図9に示すものと同一又は対応する部分には同一符号が付されている。本実施例においては、保護NMOS13の構成部分において図9に示すものと相違している。すなわち、図2に示すように、入力パッド(A1で形成されたボンディングパッドで、以下A1パッドという)11の直下に保護NMOS13のドレイン領域13aが形成され、A1パッド11の周囲に保護NMOS13のゲート電極4cが形成され、その回りに保護NMOS13のソース電極13bが形成されている。言い換えれば、半導体基板に形成される保護NMOS13のドレイン領域13a上にA1パッド11が形成されている。

【0021】これを、図1に示す断面でみると、A1パッド11下部の半導体基板1にドレイン領域13aが形成され、A1パッド11とドレイン領域13aとがA1電極8のうちのドレイン電極8a、8bに接続されている。また、絶縁体層2b(ゲート酸化膜)を介してゲート電極をなす半導体層4cがA1パッド11の周囲に形成されている。従って、保護NMOS13のチャネル領域はA1パッド11の周囲に形成されることになる。また、ゲート電極4cの外側には、ソース領域13bが半導体基板1に形成されている。

【0022】上記のようにA1パッド11の下部に保護NMOS13を形成したことにより、図10のように構成した場合に比べ、ドレイン領域13aの形成面積だけチップ占有面積を縮小することができる。具体的には、例えば保護NMOS13のソース領域、ドレイン領域の面積をそれぞれ $50\mu\text{m} \times 200\mu\text{m} = 10000\mu\text{m}^2$ 、A1パッド11の面積を $100\mu\text{m} \times 100\mu\text{m} = 10000\mu\text{m}^2$ とした場合にはそれら全体で $30000\mu\text{m}^2$ の面積が必要になるのに対して、本実施例では、それらの面積を同一とした場合、A1パッド11が保護NMOS13のドレイン領域13aとオーバーラップして形成されているため、全体の面積は $20000\mu\text{m}^2$ となり、占有面積が約 $2/3$ になる。

【0023】図1に示す半導体集積回路の製造方法は、特開平4-345064号公報に示すものと基本的には同様であり、これとの相違点は、保護NMOS13を構成するソース領域13b、ドレイン領域13a、ゲート電極4c等の形状を図2のレイアウトにするようにした点と、ドレイン領域13aの上にAL膜によりA1パッド11を形成するようにした点である。

【0024】なお、保護抵抗12は、特開平4-345064号公報に示すものと同様、内部回路および保護NMOS13の形成領域とは異なる領域に形成されている。また、本実施例ではA1パッド11と接地端子16との間に保護NMOS13を配置したが、図4に示すように、A1パッド11と電源端子15との間に保護PMOS13aを配置して、保護PMOS13a上にドレイン電極と接続されたA1パッド11を形成してもよい。また、図5に示すように、A1パッド11と接地端子16および電源端子15のそれぞれの間に、保護NMOS13、保護PMOS13aを設けるようにしてもよい。

【0025】また、保護NMOS13、保護PMOS13aのゲート端子は、入力パッド11、電源端子15、接地端子16のいずれに接続してもよい。さらに、保護回路の構成は保護抵抗、保護NMOS及び保護PMOSの種々の組み合わせが可能である。なお、上記のようにSOI構造の半導体集積回路装置において、保護回路素子(保護NMOS13)を半導体基板1に形成しているので、静電気等により発生した大電流を半導体基板1に流すことができ、その電流経路を十分確保することができる。すなわち、NMOS14bおよびPMOS14a(半導体集積回路素子)を形成するSOI層と同じSOI層に保護回路素子を形成した場合、SOI層の下に絶縁体層が形成されている関係上、静電気等による過電流を逃がす経路を横方向にしか形成することができず、内部回路が破壊され易いという問題が生じるが、上記のように半導体基板1に保護回路素子を形成することにより、そのような問題を解消することができる。

【0026】なお、静電気等による内部回路の破壊という問題がないような構造であれば、SOI層に保護回路素子を形成するようにしてもよい。

(第2実施例)この第2実施例は、保護回路として、保護抵抗と保護ダイオードで構成したものである。

【0027】図6は入力回路部の構成を示す回路図、図7はA1パッドと保護回路素子のレイアウトを示す平面図、図8はその断面図である。A1パッド11とインバータの入力端子を結ぶ接続線の途中に保護抵抗12が配置され、接続線と接地端子16との間に保護ダイオード

17が配置されている。

【0028】保護ダイオード17は、図8に示すように、半導体基板1に形成されたPN接合により構成されている。絶縁体層2c上にはフィールド酸化膜3cが形成されており、このフィールド酸化膜3c上に保護抵抗12が形成されている。この保護抵抗12は多結晶Siにて構成されており、図7に示すようなパターンでA1パッド11の下部に形成されている。

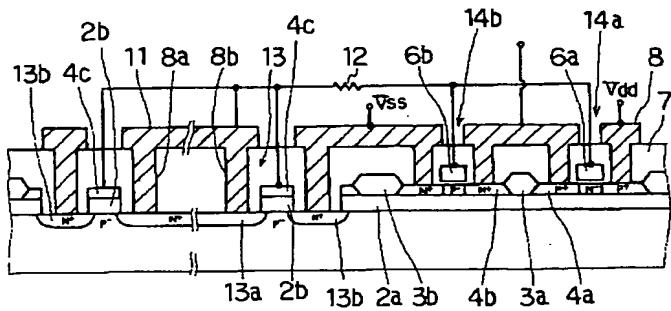
【0029】保護ダイオード17を構成するN⁺領域17aおよび保護抵抗12をなす多結晶Siは、A1電極にてA1パッド11と接続されている。なお、保護抵抗12は多結晶Si以外に半導体基板1もしくはその上の絶縁膜2aを介したSOI層に形成することもできる。本実施例では保護回路の占有面積の縮小化に加え、A1パッド11が保護抵抗12とオーバーラップしているため、A1パッド11が保護抵抗12の発熱を緩和する放熱層の役割も兼ね、保護回路の信頼性向上を図ることができる。

【0030】なお、この保護ダイオード17の回路上の設置位置は、A1パッド11と接地端子16の間に限らず、第1実施例と同様に、A1パッド11と電源端子15との間およびその両方としてもよい。なお、上記第1、第2実施例では、SOI構造の半導体集積回路装置に本発明を適用するようにしたものを示したが、パルク構造の半導体集積回路装置に適用するようにしてもよい。

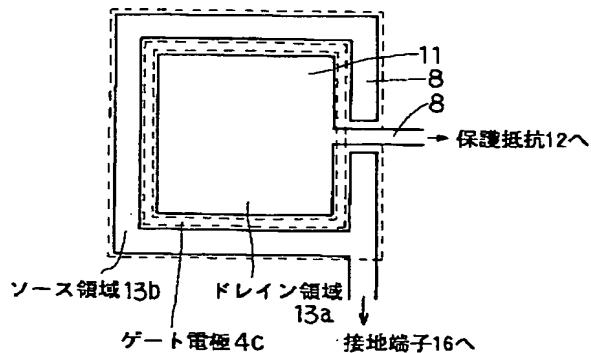
【図面の簡単な説明】

【図1】本発明の第1実施例にかかる半導体集積回路装

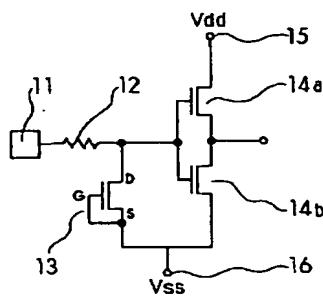
【図1】



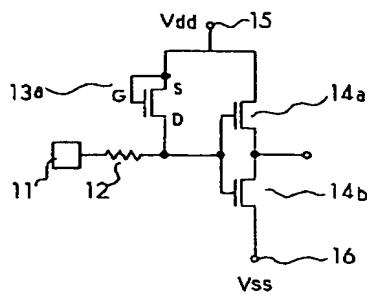
【図2】



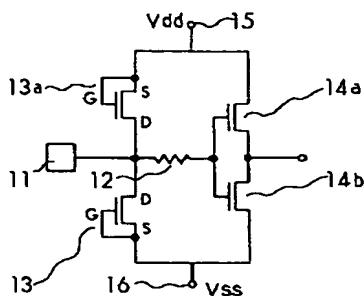
【図3】



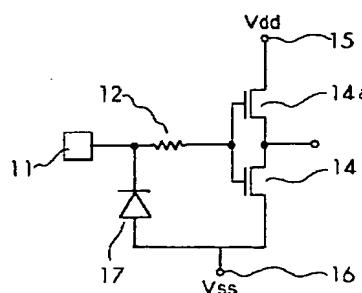
【図4】



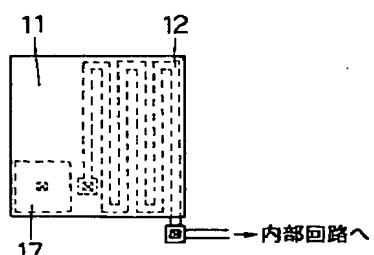
【図5】



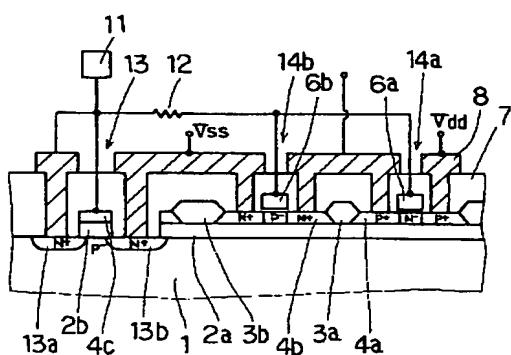
【図6】



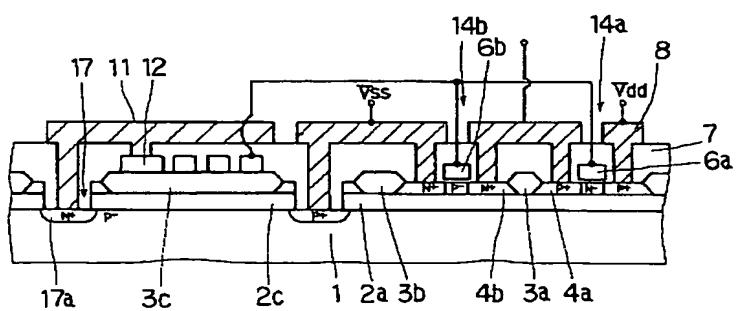
【図7】



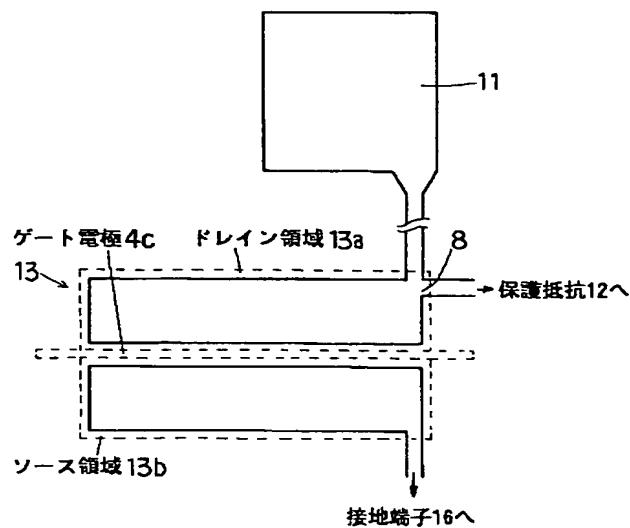
【図9】



【図8】



【図10】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

H O 1 L 21/822

29/786

H O 1 L 29/78

6 1 3 Z